

日本国特許庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されて
いる事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed
with this Office.

出願年月日
Date of Application: 2003年10月 3日

出願番号
Application Number: 特願 2003-345709

[ST. 10/C]: [JP 2003-345709]

出願人
Applicant(s): 同和鉱業株式会社

CERTIFIED COPY OF
PRIORITY DOCUMENT

2004年 4月23日

特許庁長官
Commissioner,
Japan Patent Office

今井康夫

【書類名】 特許願
【整理番号】 DOW228
【あて先】 特許庁長官殿
【国際特許分類】 H01L 33/00
【発明者】
【住所又は居所】 東京都千代田区丸の内一丁目 8 番 2 号 同和鉱業株式会社内
【氏名】 砂地 直也
【発明者】
【住所又は居所】 東京都千代田区丸の内一丁目 8 番 2 号 同和鉱業株式会社内
【氏名】 松岡 宏之
【特許出願人】
【識別番号】 000224798
【氏名又は名称】 同和鉱業株式会社
【代理人】
【識別番号】 100091362
【弁理士】
【氏名又は名称】 阿仁屋 節雄
【選任した代理人】
【識別番号】 100090136
【弁理士】
【氏名又は名称】 油井 透
【選任した代理人】
【識別番号】 100105256
【弁理士】
【氏名又は名称】 清野 仁
【手数料の表示】
【予納台帳番号】 013675
【納付金額】 21,000円
【提出物件の目録】
【物件名】 特許請求の範囲 1
【物件名】 明細書 1
【物件名】 図面 1
【物件名】 要約書 1

【書類名】特許請求の範囲

【請求項1】

半導体基体において、光を取り出す主面上と、その反対側の主面上とに電極を形成し、少なくとも、前記光を取り出す主面上に形成された電極の周囲の主面上へ、粗面化した粗面領域を形成してなる半導体発光素子であって、

前記光を取り出す主面上に形成された電極の周辺部、または、前記光を取り出す主面上に形成された電極とその反対側の主面上に形成された電極との周辺部に、粗面化を防止した非粗面化領域を確保したことを特徴とする半導体発光素子。

【請求項2】

P形またはN形の一方の導電形を有する第1の半導体領域と、他方の導電形を有する第2の半導体領域とにより構成されるPN接合を有する半導体基体と、

前記半導体基体の第1の半導体領域における主面上に形成された第1の電極と、

前記半導体基体の第2の半導体領域における主面上に形成された第2の電極と、を備え

前記第1の半導体領域における主面側は光を取り出すように構成され、且つ、少なくとも、前記第1の電極の周囲の主面上へ、粗面化した粗面領域が形成されてなる半導体発光素子であって、

前記第1の電極の周辺部、または、前記第1の電極と第2の電極との周辺部へ、粗面化を防止した非粗面化領域を確保したことを特徴とする半導体発光素子。

【請求項3】

半導体基体の光を取り出す主面上に電極を形成し、少なくとも、前記光を取り出す主面上に形成された電極の周囲の主面上へ、粗面化した粗面領域を形成してなる半導体発光素子の製造方法であって、

前記半導体基体の光を取り出す主面上と、その反対側の主面上と、に電極を形成する電極形成工程と、

前記光を取り出す主面上の電極、または、前記光を取り出す主面上の電極と反対側の主面上の電極と、の表面を選択的に保護膜で覆う保護膜形成工程と、

前記保護膜の上から粗面化処理することで、前記保護膜で覆われた電極の周辺部に非粗面化領域を残しながら、少なくとも、前記光を取り出す主面上の電極の周囲の主面上を粗面化する粗面化処理工程と、

前記電極の表面を覆う保護膜を除去する保護膜除去工程と、を有することを特徴とする半導体発光素子の製造方法。

【請求項4】

P形またはN形の一方の導電形を有する第1の半導体領域と、他方の導電形を有する第2の半導体領域とにより構成されるPN接合を有する半導体基体と、

前記半導体基体の第1の半導体領域における主面上に形成された第1の電極と、

前記半導体基体の第2の半導体領域における主面上に形成された第2の電極と、を備え

前記第1の半導体領域は、主面側に光を取り出すように構成され、且つ、少なくとも、前記第1の電極の周囲における主面上へ、粗面化した粗面領域が形成されてなる半導体発光素子の製造方法であって、

前記半導体基体の一方および他方の主面上に、前記第1および第2の電極を形成する電極形成工程と、

前記第1の電極、または、前記第1と第2との電極、の表面を選択的に保護膜で覆う保護膜形成工程と、

前記保護膜の上から粗面化処理することで、前記保護膜で覆われた電極の周辺部に非粗面化領域を残しながら、少なくとも、前記第1の電極の周囲における主面上を粗面化する粗面化処理工程と、

前記第1の電極、または、前記第1と第2との電極、の表面を覆う保護膜を除去する保護膜除去工程と、を有することを特徴とする半導体発光素子の製造方法。

【請求項5】

請求項4に記載の半導体発光素子の製造方法であって、

前記保護膜形成工程の後に、前記半導体基体をチップに切断するダイシング工程を実行し、その後、前記粗面化処理工程を実行することで、前記第1の電極を有するチップの上側面及び電極の無い側面を同時に粗面化することを特徴とする半導体発光素子の製造方法。

【書類名】明細書

【発明の名称】半導体発光素子及びその製造方法

【技術分野】

【0001】

本発明は、半導体基体の光を取り出す主面上に光の内部反射を抑制する粗面領域を形成した半導体発光素子、及び、その製造方法に関するものである。

【背景技術】

【0002】

半導体発光素子の光を取り出す主面上に、光の内部反射を抑制する粗面領域を形成することで、高輝度化を図ることが行われている（例えば、特許文献1参照）。

【0003】

図3にその例を示す。この半導体発光素子（発光ダイオード）は、P形半導体領域1とN形半導体領域2とからなる例えばAlGaAs半導体基体3と、P側電極4と、N側電極5とを備えている。P形半導体領域1とN形半導体領域2との界面のPN接合6は、半導体基体3の一方及び他方の主面3a、3bに平行に延びている。

【0004】

P側電極4は、半導体基体3の一方の主面（上側面）3aの中央部分に配置され、P形半導体領域1に接続されている。N側電極5は、格子状または点在するように形成され、半導体基体3の他方の主面（下側面）3b、即ちN形半導体領域2に接続されている。N側電極5を格子状または点在するように形成すると、PN接合6から放射されて下側面に向う光を、N側電極5が設けられていない部分において上側面方向に効率良く反射させることができになる。

【0005】

図3の半導体発光素子の光の取り出し方向は上側面方向であり、取り出される光のうち、PN接合6から上方に放射される光は、半導体基体3の上側面のP側電極4が形成されていない領域から取り出される。この半導体発光素子においては、半導体基体3の上側面の光の取り出し領域が粗面（微小凹凸面、粗面領域）7になっている。この粗面7は、PN接合6から放射された光に対する全反射の確率を減少させ、光を外部に良好に取り出して、高輝度化を図るために設けられている。この粗面7は、半導体基体3の上側面のほぼ中央に選択的にP側電極4を形成し、その後で、半導体基体3の上側面にエッチング（化学処理）等を施すことによって形成されている。

【0006】

ところで、このような半導体発光素子を上述のように形成した場合、電極形成後の粗面形成のためのエッチングの際に、図4に示すように、エッチングがP側電極4の周辺下部にまで進行する、いわゆるオーバーエッチング（サイドエッチングとも言う）が生じることがある。このようなオーバーエッチングが生じると、P側電極4の周辺部の半導体基体3に対する密着力が低下するので、当該半導体発光素子へ樹脂モールドやワイヤーボンディングを行う際のストレスによって、当該電極が剥がれてしまうといった不具合が発生するなど、電極信頼性に影響を及ぼすという問題があった。

【0007】

そこで、特許文献1に記載の技術では、P側電極4の周辺部の半導体基体3に対する密着力の低下を抑制するために、半導体発光素子のP形半導体領域1の上側面に、先に鏡面8と粗面7とを形成しておき、鏡面8上にP側電極4を形成する際に、P側電極4の周辺部が粗面7の一部に被さるように形成することで、P側電極4の周辺部の半導体基体3への密着力の向上を図っている。

【0008】

【特許文献1】特開平10-200162号公報

【発明の開示】

【発明が解決しようとする課題】

【0009】

特許文献1に記載の技術では、半導体発光素子の高輝度化を図るための粗面化処理を、電極形成箇所の周辺下部に及ぶ範囲にまで予め実施しておき、その後でP側電極4を粗面7に周辺部が掛かるように形成して、電極密着性を上げるようにしている。即ち、粗面化処理を電極形成処理の前段階で行うようにしている。このため、電極形成処理後に粗面化処理するという従来の工程順序を大きく変えなくてはならず、工程変更の負担が大きいという問題がある。

【0010】

本発明は、上記事情を考慮し、半導体基体の上に電極を形成した後に化学処理による粗面化処理を行うという工程の流れを守りながら、化学処理による電極周辺下部へのオーバーエッチングを防止して、電極信頼性の向上を図ることのできる半導体発光素子及びその製造方法を提供することを目的とする。

【課題を解決するための手段】

【0011】

請求項1の発明の半導体発光素子は、半導体基体において、光を取り出す主面上と、その反対側の主面上とに電極を形成し、少なくとも、前記光を取り出す主面上に形成された電極の周囲の主面上へ、粗面化した粗面領域を形成してなる半導体発光素子であって、前記光を取り出す主面上に形成された電極の周辺部、または、前記光を取り出す主面上に形成された電極とその反対側の主面上に形成された電極との周辺部に、粗面化を防止した非粗面化領域を確保したことを特徴とする。

【0012】

請求項2の発明の半導体発光素子は、P形またはN形の一方の導電形を有する第1の半導体領域と、他方の導電形を有する第2の半導体領域とにより構成されるP N接合を有する半導体基体と、前記半導体基体の第1の半導体領域における主面上に形成された第1の電極と、前記半導体基体の第2の半導体領域における主面上に形成された第2の電極と、を備え、前記第1の半導体領域における主面側は光を取り出すように構成され、且つ、少なくとも、前記第1の電極の周囲の主面上へ、粗面化した粗面領域が形成されてなる半導体発光素子であって、前記第1の電極の周辺部、または、前記第1の電極と第2の電極との周辺部へ、粗面化を防止した非粗面化領域を確保したことを特徴とする。

【0013】

請求項3の発明の半導体発光素子の製造方法は、半導体基体の光を取り出す主面上に電極を形成し、少なくとも、前記光を取り出す主面上に形成された電極の周囲の主面上へ、粗面化した粗面領域を形成してなる半導体発光素子の製造方法であって、前記半導体基体の光を取り出す主面上と、その反対側の主面上と、に電極を形成する電極形成工程と、前記光を取り出す主面上の電極、または、前記光を取り出す主面上の電極と反対側の主面上の電極と、の表面を選択的に保護膜で覆う保護膜形成工程と、前記保護膜の上から粗面化処理することで、前記保護膜で覆われた電極の周辺部に非粗面化領域を残しながら、少なくとも、前記光を取り出す主面上の電極の周囲の主面上を粗面化する粗面化処理工程と、前記電極の表面を覆う保護膜を除去する保護膜除去工程と、を有することを特徴とする。

【0014】

請求項4の発明の半導体発光素子の製造方法は、P形またはN形の一方の導電形を有する第1の半導体領域と、他方の導電形を有する第2の半導体領域とにより構成されるP N接合を有する半導体基体と、前記半導体基体の第1の半導体領域における主面上に形成された第1の電極と、前記半導体基体の第2の半導体領域における主面上に形成された第2の電極と、を備え、前記第1の半導体領域は、主面側に光を取り出すように構成され、且つ、少なくとも、前記第1の電極の周囲における主面上へ、粗面化した粗面領域が形成されてなる半導体発光素子の製造方法であって、前記半導体基体の一方および他方の主面上に、前記第1および第2の電極を形成する電極形成工程と、前記第1の電極、または、前記第1と第2との電極、の表面を選択的に保護膜で覆う保護膜形成工程と、前記保護膜の上から粗面化処理することで、前記保護膜で覆われた電極の周辺部に非粗面化処理領域を残しながら、少なくとも、前記第1の電極の周囲における主面上を粗面化する粗面化処理

工程と、前記第1の電極、または、前記第1と第2との電極、の表面を覆う保護膜を除去する保護膜除去工程と、を有することを特徴とする。

【0015】

請求項5の発明は、請求項4に記載の半導体発光素子の製造方法であって、前記保護膜形成工程の後に、前記半導体基体をチップに切断するダイシング工程を実行し、その後、前記粗面化処理工程を実行することで、前記第1の電極を有するチップの上側面及び電極の無い側面を同時に粗面化することを特徴とする。

【発明の効果】

【0016】

本発明の半導体発光素子によれば、電極の周辺部に、化学処理を始めとする粗面化処理による粗面化を防止する非粗面化処理領域を確保したので、電極周辺下部へのオーバーエッチングを防止することができ、電極信頼性の向上を図ることができる。また、電極の周辺部に非粗面化処理領域が確保されていることにより、半導体基体の上に電極を形成した後で、化学処理を始めとする粗面化処理を行うことができるので、従来の工程の流れを大きく変える必要がなく、工程変更の負担が少なくて済む。

【0017】

本発明の半導体発光素子の製造方法によれば、電極を形成した後で、電極の表面を選択的に保護膜で覆う保護膜形成工程を実施し、その保護膜の上から化学処理による粗面化処理工程を実施した後、保護膜の除去を行うようにしているので、化学処理を始めとする粗面化処理による電極周辺下部へのオーバーエッチングを防止することができ、電極信頼性の向上を図ることができる。また、電極を形成した後で、化学処理を始めとする粗面化処理を行うので、従来の工程の流れを大きく変える必要がなく、工程変更の負担が少なくて済む。

【発明を実施するための最良の形態】

【0018】

以下、図面を参照しながら本発明の実施形態例について説明する。

尚、本実施形態例においては、粗面化処理として化学処理を用いた場合を例として説明する。

図1の(a)は実施形態例に係る半導体発光素子の平面図、(b)は側断面図、図2は実施形態例に係る半導体発光素子の製造方法の工程図である。

【0019】

図1に示すように、この半導体発光素子は、P形半導体領域(第1の半導体領域)1とN形半導体領域(第2の半導体領域)2とによるPN接合6を有する半導体基体(例えばA1GaAs)3と、P側電極4と、N側電極5とを備えている。P形半導体領域1とN形半導体領域2との界面のPN接合6は、半導体基体3の一方及び他方の主面3a、3bに平行に伸びている。

【0020】

P側電極4は半導体基体3のP形半導体領域1側の主面3aの中央部に配され、N側電極5は半導体基体3のN形半導体領域2側の主面3bに格子状または点在するように配されている。この半導体発光素子の光の取り出し方向は図1(b)の上側面方向であり、PN接合6から上方に放射された光は、半導体基体3の上側面のP側電極4が形成されていない領域から取り出される。

【0021】

光を外部に良好に取り出して高輝度化を図るために、半導体基体3の光の取り出し領域は、エッチング(化学処理)により粗面化されている。この粗面(粗面領域)7は、PN接合6から放射された光に対する全反射の確率を減少させる機能を果たすもので、半導体基体3上にP側電極4を形成した後で、エッチングによって形成されており、P側電極4の周辺部には、エッチングによる粗面化を防止するための非粗面化領域である非化学処理領域10が確保されている。

【0022】

次に製造方法について図2を参照しながら説明する。

上記の半導体発光素子を得るには、次の工程順に処理を進める。

(a) ダイシング前の半導体基体3の一方の主面3a上にP側電極4を形成する(電極形成工程)。

(b) P側電極4の表面を、ポジ型レジストにより選択的に保護膜12で覆う(保護膜形成工程)。

(c) ダイシングにより半導体基体3をチップに切断する(ダイシング工程)。

(d) 保護膜12の上から、例えば、エッティング液としてHNO₃を用いてエッティングすることにより、保護膜12で覆われたP側電極4の周辺部に非化学処理領域10を残しながら、少なくともP側電極4を有するチップの上側面、所望により電極の無い側面を同時に粗面化する(粗面化処理工程)。符号7は粗面を示す。

(e) P側電極4の表面を覆う保護膜12を露光及びレジスト現像により除去する(保護膜除去工程)。

【0023】

なお、N側電極は、上記の最後の工程の後で形成してもよいし、途中の任意の工程で形成してもよい。そして、N側電極を上述した粗面化処理工程より前の工程で形成するのであれば、N側電極にもP側電極と同様の保護膜形成工程を行うことも好ましい。当該構成を探ることで、粗面化処理工程において、例えばHNO₃等のエッティング液がチップを伝わってN側電極まで到達し、N側電極周辺への望まれないエッティングを起こすのを回避できるからである。

【0024】

以上の工程を経て半導体発光素子を形成することにより、P側電極4の周辺下部へのオーバーエッティングを防止することができ、電極信頼性の向上を図ることができる。また、P側電極4を形成した後で、エッティングによる粗面化処理を行うので、従来の工程の流れを大きく変える必要がなく、工程変更の負担が少なくて済む。

【0025】

次に、「電極保護なしで粗面化処理有り」の従来品と、「電極保護ありで粗面化処理有り」の本発明相当品と、「粗面化処理なし」の比較品との違いについて調べた結果について表1に示した。表1は、従来品、本発明相当品および比較品に係る半導体発光素子を、各々、ロットA～Cより10個抜き取り、Ifp=200mAにおける駆動電圧(Vfm)を測定し、その平均値を求めたものである。尚、σはその標準偏差である。

【0026】

ここで、半導体基体との密着力不足による電極の剥がれは、駆動電圧(Vfm)の上昇として捕らえることができる。表1から、電極を保護膜で保護した上で粗面化処理した本発明相当品と、電極を保護膜で保護しないで粗面化処理した従来品との間には、Vfm値で約0.1Vの差が見られた。また、本発明相当品と粗面化処理なしの比較品との間には、Vfm値で約0.01～0.02Vの差が見られた。従って、本発明相当品は、従来品と比較して電極剥がれが大きく改善され、その改善の水準は、粗面化処理を行っていない比較品に匹敵するものであることが判明した。

【表1】

ロット符号	A	B	C
従来品 (電極保護なし) (粗化処理あり)	1.90V ($\sigma=0.04$)	1.92V ($\sigma=0.06$)	2.01V ($\sigma=0.03$)
本発明相当品 (電極保護あり) (粗化処理あり)	1.81V ($\sigma=0.03$)	1.88V ($\sigma=0.06$)	1.91V ($\sigma=0.03$)
比較品 (粗化処理なし)	1.79V ($\sigma=0.03$)	1.86V ($\sigma=0.05$)	1.90V ($\sigma=0.03$)

【0027】

以上、本実施形態例の説明においては、P形半導体領域を第1の半導体領域、N形半導体領域を第2の半導体領域とし、P形半導体領域側より光を取り出す構成と例とした。このP形半導体領域とN形半導体領域とを入れ替え、N形半導体領域側を第1の半導体領域として光を取り出し、P形半導体領域側を第2の半導体領域とする構成を有する半導体発光素子においても、本発明は同様に適用することができる。

【0028】

また、本実施形態例の説明においては、粗面化処理として化学処理を用いた場合を例として説明した。しかし、本発明はこれに限られることはなく、粗面化処理をスパッタエッティング、ドライエッティング等の物理化学処理、物理処理でおこなう場合にも好個に適用することができる。

【図面の簡単な説明】

【0029】

【図1】本発明の実施形態例に係る半導体発光素子の構成図で、(a)は平面図、(b)は側断面図である。

【図2】本発明の実施形態例に係る半導体発光素子の製造方法の工程説明図である。

【図3】従来の半導体発光素子の例を示す側断面図である。

【図4】従来の半導体発光素子における問題点を説明するための側断面図である。

【図5】従来の半導体発光素子の別の例を示す側断面図である。

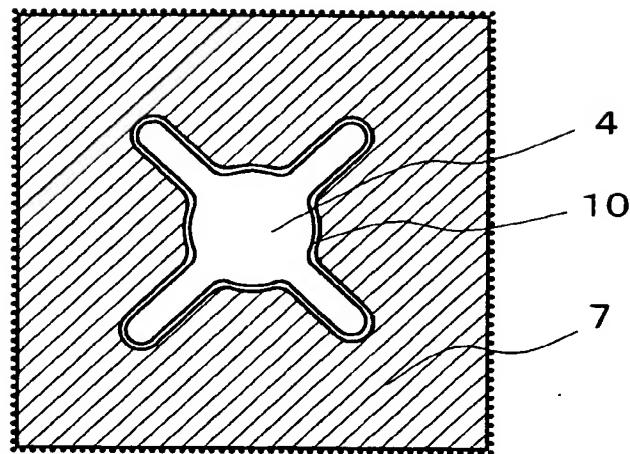
【符号の説明】

【0030】

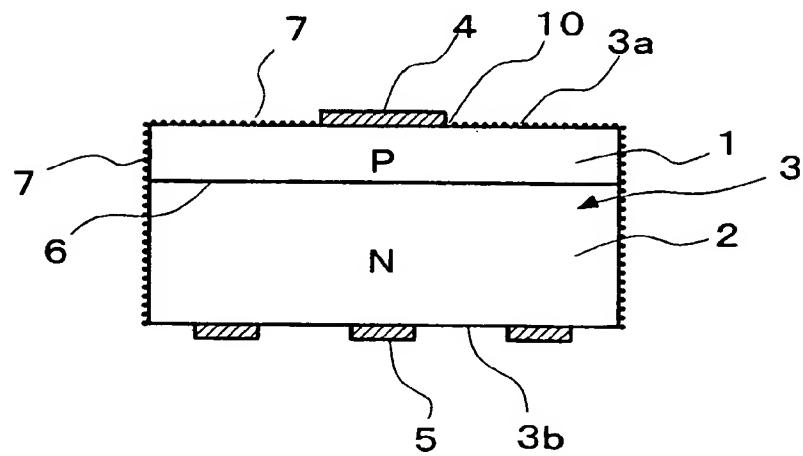
- 1 P形半導体領域(第1の半導体領域)
- 2 N形半導体領域(第2の半導体領域)
- 3 半導体基体
- 4 P側電極(第1の電極)
- 5 N側電極(第2の電極)
- 6 PN接合
- 7 粗面
- 10 非化学処理領域
- 12 保護膜

【書類名】図面
【図1】

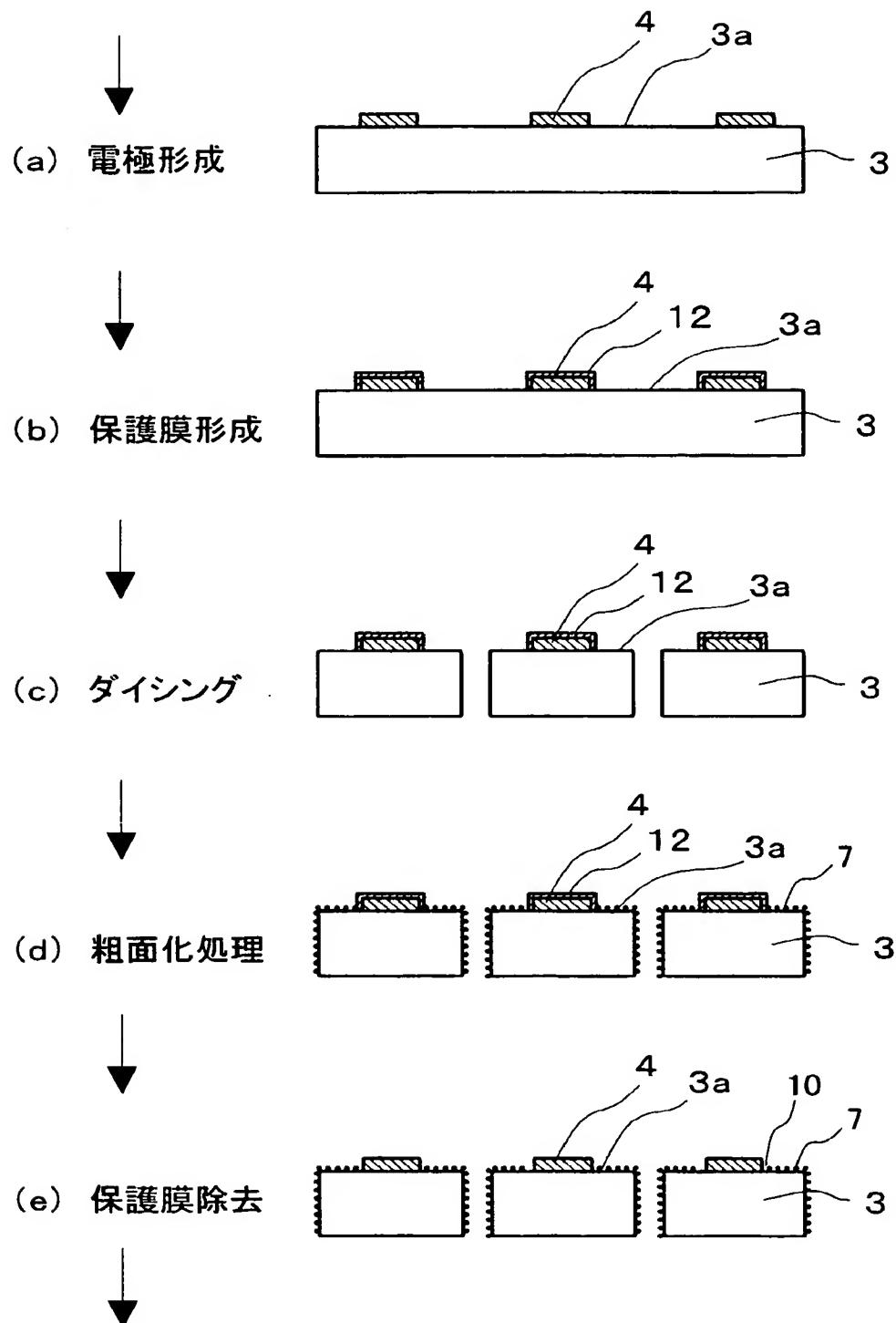
(a)



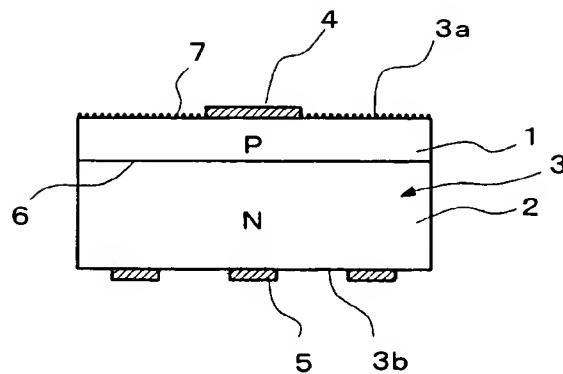
(b)



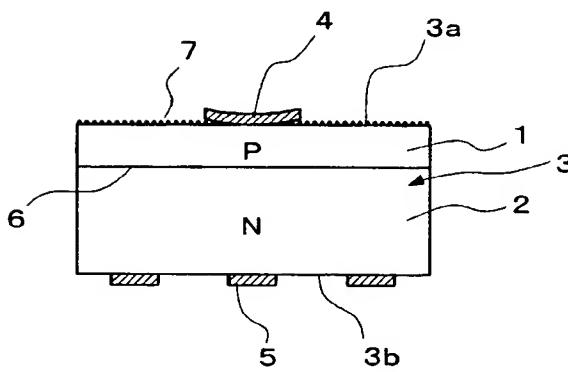
【図2】



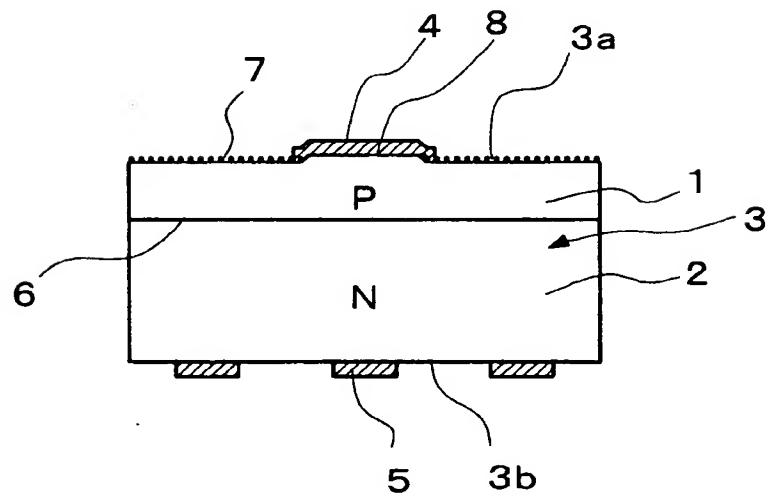
【図3】



【図4】



【図5】



【書類名】要約書

【要約】

【課題】半導体基体上に対する電極形成後に粗面化処理を行うという工程の流れを守りながら、電極周辺下部へのオーバーエッチングを防止して、電極信頼性の向上を図る。

【解決手段】半導体基体3の主面3a上にP側電極4を形成した後、P側電極4の表面を選択的に保護膜12で覆い、半導体基体3をチップに切断した後、保護膜12の上から粗面化処理して、保護膜12で覆われたP側電極4の周辺部に非粗面化領域である非化学処理領域10を残しながらP側電極4の周囲の主面3a上及び側面を粗面化し、その後、保護膜12を除去する。

【選択図】図2

認定・付加情報

特許出願の番号	特願2003-345709
受付番号	50301650071
書類名	特許願
担当官	第五担当上席 0094
作成日	平成15年10月 6日

<認定情報・付加情報>

【提出日】	平成15年10月 3日
-------	-------------

特願 2003-345709

出願人履歴情報

識別番号 [000224798]

1. 変更年月日 1990年 8月 7日

[変更理由] 新規登録

住所 東京都千代田区丸の内1丁目8番2号
氏名 同和鉱業株式会社